

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 日
Date of Application:

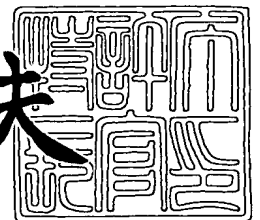
出 願 番 号 特 願 2 0 0 3 - 1 8 9 4 8 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 8 9 4 8 5]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 0 0 0 7

【書類名】 特許願

【整理番号】 J0100562

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 小田 善造

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100110858

 【弁理士】

 【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

 【識別番号】 100107526

 【弁理士】

 【氏名又は名称】 鈴木 直郁

【選任した代理人】

 【識別番号】 100110777

 【弁理士】

 【氏名又は名称】 宇都宮 正明

【選任した代理人】

 【識別番号】 100100413

 【弁理士】

 【氏名又は名称】 渡部 温

【先の出願に基づく優先権主張】**【出願番号】** 特願2003- 69014**【出願日】** 平成15年 3月14日**【手数料の表示】****【予納台帳番号】** 085672**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0014943**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 ワードラインが駆動されたときに 1 組のビットラインとの間でデータの入出力を行うポートを有するメモリセルと、

前記 1 組のビットラインを介して前記ポートに接続され、前記メモリセルにデータを書き込み、前記メモリセルからデータを読み出す書き込み／読出し回路と、

前記 1 組のビットラインを介して前記ポートに接続され、前記メモリセルからデータを読み出す読出し回路と、

CPU からの書き込み要求又は読出し要求に基づくデータの書き込み又は読出しが第 1 の期間において行われるように前記書き込み／読出し回路を制御する CPU 系制御回路と、

表示パネルに供給すべきデータの読出しが前記第 1 の期間と重複しない第 2 の期間において行われるように前記読出し回路を制御する表示系制御回路と、
を具備する半導体集積回路。

【請求項 2】 前記 CPU 系制御回路が、

前記 CPU から送信された書き込み要求信号に基づいて書き込み制御信号を活性化
する第 1 の回路と、

前記 CPU から送信された読出し要求信号に基づいて読出し制御信号を活性化
する第 2 の回路と、

を含み、前記表示系制御回路が、少なくとも前記 CPU から送信された書き込み要求信号及び読出し要求信号と、タイミング発生回路から送信された表示データ読出し要求信号とに基づいて表示データ読出し制御信号を活性化する第 3 の回路を含む、請求項 1 記載の半導体集積回路。

【請求項 3】 前記第 3 の回路が、前記 CPU から送信された書き込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、前記 CPU 系制御回路によって生成された書き込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号を活性化する、請求項 2 記載の半導体集

積回路。

【請求項 4】 前記第 3 の回路が、前記 CPU から送信された書込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、前記 CPU 系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号の活性化を開始し、前記 CPU 系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、表示データ読出し制御信号を活性化する、請求項 2 記載の半導体集積回路。

【請求項 5】 前記第 3 の回路が、前記 CPU から送信された書込み要求信号の活性化の終了から前記 CPU 系制御回路によって生成された書込み制御信号の活性化の終了までの期間、及び、前記 CPU から送信された読出し要求信号の活性化の終了から前記 CPU 系制御回路によって生成された読出し制御信号の活性化の終了までの期間を除く期間に、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号の活性化を開始し、前記 CPU 系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、表示データ読出し制御信号を第 1 の期間活性化し、

前記第 1 の回路が、前記 CPU から送信された書込み要求信号の活性化の終了から前記第 1 の期間以上の第 2 の期間経過後に書込み制御信号の活性化を開始し、

前記第 2 の回路が、前記 CPU から送信された読出し要求信号の活性化の終了から前記第 1 の期間以上の第 3 の期間経過後に読出し制御信号の活性化を開始する、

請求項 2 記載の半導体集積回路。

【請求項 6】 データを記憶する複数のメモリセルを含むメモリセルアレイと、

CPU からの書込み要求又は読出し要求に基づくデータの書込み又は読出しが行われるように、前記メモリセルアレイを複数のブロックに分割して制御する C

P U系制御回路と、

前記C P Uからの要求に基づくデータの書込み又は読出しが行われているブロックにおいては、表示パネルに供給すべきデータの読出しが行われないように、前記メモリセルアレイを複数のブロックに分割して制御すると共に、前記C P Uからの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックにおいては、前記表示パネルに供給すべきデータの読出しが行われるように、前記メモリセルアレイを複数のブロックに分割して制御する表示系制御回路と、を具備する半導体集積回路。

【請求項 7】 前記メモリセルがS R A Mのメモリセルである、請求項 1 ～ 6 のいずれか 1 項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に、メモリセルを含みL C D（液晶表示装置）やプラズマディスプレイ等の表示パネルを駆動するための半導体集積回路に関し、特に、S R A M（スタティックランダムアクセスメモリ）のメモリセルを含む半導体集積回路に関する。

【0002】

【従来の技術】

S R A Mのメモリセルを含みL C Dを駆動する従来のL C Dドライバにおいては、C P Uからの命令に従ってデータの書込み／読出し動作を行うのと同時に、L C Dに画像を表示するためにデータの読出し動作を行うために、2 ポートメモリセルが用いられることがある。

【0003】

図18に、このような2ポートメモリセルの構成を示す。このメモリセルは、反転回路I N V 1及びI N V 2と、NチャネルMOSトランジスタQ N 1及びQ N 2と、PチャネルMOSトランジスタQ P 1及びQ P 2とを含んでいる。反転回路I N V 1は、入力第1のストアノードN 1に接続されており、出力が第2のストアノードN 2に接続されている。また、反転回路I N V 2は、入力第2

のストアノードN2に接続されており、出力が第1のストアノードN1に接続されている。ここで、トランジスタQN1とQN2が第1のポート（書込み／読出しポート）を構成し、トランジスタQP1とQP2が、第2のポート（読出し専用ポート）を構成している。

【0004】

しかしながら、このような2ポートメモリセルを使用すると、1つのメモリセルを構成するトランジスタの数が増加するので、半導体基板の面積が増大してしまい、半導体集積回路全体のコストが上昇するという問題があった。

【0005】

ところで、下記の特許文献1には、チップサイズの増大及び画質の劣化を可及的に防止するとともに、CPUによるメモリへのアクセス動作を可及的に短時間で行うことを可能にした液晶駆動用半導体装置が開示されている。この液晶駆動用半導体装置は、液晶表示部に表示される表示用データが記憶されるシングルポートメモリと、シングルポートメモリに保持された表示用データを所定のサイクルで取り込んで液晶表示部に送出する液晶駆動回路と、CPUがシングルポートメモリにアクセスしない場合には所定のサイクルでシングルポートメモリから表示データを液晶駆動回路に取り込ませて、この取り込んだデータを液晶表示部に送出させ、シングルポートメモリから液晶駆動回路がデータを取り込んでいるときにCPUがシングルポートメモリにアクセスした場合にはCPUに優先権を持たせるように液晶駆動回路の表示データ取込み動作を中止させてCPUにアクセス動作させ、このアクセス動作終了直後に改めて液晶駆動回路の表示データ取込み動作を行わせるように液晶駆動回路を制御する制御回路とを備えている。

【0006】

しかしながら、液晶駆動回路がデータを取り込んでいるときに液晶駆動回路の表示データ取込み動作を中止させるために、制御動作が複雑になると共に、余分な電力を消費してしまうという問題がある。

【0007】

【特許文献1】

特開2002-14659号公報（第2頁、図1）

【0008】**【発明が解決しようとする課題】**

そこで、上記の点に鑑み、本発明は、1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる半導体集積回路を提供することである。

【0009】**【課題を解決するための手段】**

以上の課題を解決するため、本発明の第1の観点に係る半導体集積回路は、ワードラインが駆動されたときに1組のビットラインとの間でデータの入出力を行うポートを有するメモリセルと、1組のビットラインを介してポートに接続され、メモリセルにデータを書き込み、メモリセルからデータを読み出す書込み／読出し回路と、1組のビットラインを介してポートに接続され、メモリセルからデータを読み出す読出し回路と、CPUからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが第1の期間において行われるように書込み／読出し回路を制御するCPU系制御回路と、表示パネルに供給すべきデータの読出しが第1の期間と重複しない第2の期間において行われるように読出し回路を制御する表示系制御回路とを具備する。

【0010】

本発明の第1の観点によれば、CPU系制御回路が、CPUからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが第1の期間において行われるように書込み／読出し回路を制御すると共に、表示系制御回路が、表示パネルに供給すべきデータの読出しが第1の期間と重複しない第2の期間において行われるように読出し回路を制御するので、1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる。

【0011】

ここで、CPU系制御回路が、CPUから送信された書込み要求信号に基づいて書込み制御信号を活性化する第1の回路と、CPUから送信された読出し要求

信号に基づいて読出し制御信号を活性化する第2の回路とを含み、表示系制御回路が、少なくともCPUから送信された書込み要求信号及び読出し要求信号と、タイミング発生回路から送信された表示データ読出し要求信号とに基づいて表示データ読出し制御信号を活性化する第3の回路を含むようにしても良い。

【0012】

具体的には、第3の回路が、CPUから送信された書込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、CPU系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号を活性化するようにしても良い。

【0013】

あるいは、第3の回路が、CPUから送信された書込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、CPU系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号の活性化を開始し、CPU系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、表示データ読出し制御信号を活性化するようにしても良い。

【0014】

あるいは、第3の回路が、CPUから送信された書込み要求信号の活性化の終了からCPU系制御回路によって生成された書込み制御信号の活性化の終了までの期間、及び、CPUから送信された読出し要求信号の活性化の終了からCPU系制御回路によって生成された読出し制御信号の活性化の終了までの期間を除く期間に、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号の活性化を開始し、CPU系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、表示データ読出し制御信号を第1の期間活性化し、第1の回路が、CPUから送信された書込み要求信号の活性化の終了から第1の期間以上の第2の期間経過後に書込み制御信号の活性化を開始し、第2の回路が、CPUから送信された読

出し要求信号の活性化の終了から第 1 の期間以上の第 3 の期間経過後に読出し制御信号の活性化を開始するようにしても良い。

【 0 0 1 5 】

また、本発明の第 2 の観点に係る半導体集積回路は、データを記憶する複数のメモリセルを含むメモリセルアレイと、CPUからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御するCPU系制御回路と、CPUからの要求に基づくデータの書込み又は読出しが行われているブロックにおいては、表示パネルに供給すべきデータの読出しが行われないうに、メモリセルアレイを複数のブロックに分割して制御すると共に、CPUからの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックにおいては、表示パネルに供給すべきデータの読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御する表示系制御回路とを具備する。

【 0 0 1 6 】

本発明の第 2 の観点によれば、CPU系制御回路が、CPUからの要求に基づくデータの書込み又は読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御すると共に、表示系制御回路が、CPUからの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックのみにおいて、表示パネルに供給すべきデータの読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御するので、1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる。

【 0 0 1 7 】

以上において、メモリセルとしてSRAMのメモリセルを用いるようにしても良い。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳しく説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

図1は、本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック図である。本実施形態は、本発明をLCDドライバICに適用したものである。図1に示すように、LCDドライバIC20は、CPU10及びLCDパネル30に接続されて使用される。

【0019】

LCDドライバIC20は、CPU10との接続に使用されるCPUインターフェース21と、CPU10から入力されるデータを記憶するSRAMのメモリセルアレイ22と、LCDパネル30との接続に使用されるLCDインターフェース23と、CPU10からの書き込み要求信号又は読出し要求信号に基づいてメモリセルアレイ22を制御するCPU系制御回路24と、LCDドライバIC20に内蔵されている発振回路から出力される発振信号に基づいて、毎秒60フレームの割合でLCDパネル30に供給すべきデータの読出し要求信号を生成するタイミング発生回路25と、タイミング発生回路25からの読出し要求信号に基づいてメモリセルアレイ22を制御する表示系制御回路26とを有している。

【0020】

LCDドライバIC20には、CPU10から、データの他に、書き込み要求信号WRバー、読出し要求信号RDバー、書き込みモード信号WM、読出しモード信号RM等の各種の信号が入力される。CPU系制御回路24は、書き込み要求信号WRバー及び書き込みモード信号WMに基づいて書き込み制御信号WEを生成すると共に、読出し要求信号RDバー及び読出しモード信号RMに基づいて読出し制御信号REを生成し、これらの制御信号をメモリセルアレイ22に供給する。

【0021】

メモリセルアレイ22においては、これらの制御信号に基づいて、CPU10から順次入力される書き込み用のデータWDが書き込まれたり、メモリセルアレイ22からデータが読み出され、読み出されたデータRDがCPU10に順次出力される。

【0022】

表示系制御回路26には、タイミング発生回路25から表示データ読出し要求信号LRバーが入力されると共に、CPU系制御回路24から書き込み制御信号W

E 及び読出し制御信号 R E が入力される。表示系制御回路 26 は、これらの信号に基づいて、表示データ読出し制御信号 L R E を生成し、メモリセルアレイ 22 に供給する。

【0023】

メモリセルアレイ 22 においては、表示データ読出し制御信号 L R E に基づいて、表示データが読み出され、読み出された表示データ L R D が L C D インターフェース 23 に出力される。L C D インターフェース 23 は、表示データ L R D に基づいて複数の駆動信号を生成し、L C D パネル 30 の複数のセグメントにそれぞれ出力する。

【0024】

図 2 は、本実施形態において用いられるメモリセルアレイの構成を示す図である。図 2 に示すメモリセルアレイは、2つのストアノード N 1 及び N 2 を有する S R A M のメモリセル 41 と、メモリセル 41 にデータを書き込むと共にメモリセル 41 からデータを読み出す書込み／読出し回路 42 と、これとは別系統でメモリセル 41 からデータを読み出す読出し回路 43 と、データの書込み又は読出しの際にワードラインを駆動するワードライン駆動回路 44 とを含んでいる。

【0025】

メモリセル 41 は、反転回路 I N V 1 及び I N V 2 と、全体として 1 つのポートを構成する N チャネル M O S トランジスタ Q N 1 及び Q N 2 とを含んでいる。反転回路 I N V 1 は、入力が第 1 のストアノード N 1 に接続されており、出力が第 2 のストアノード N 2 に接続されている。また、反転回路 I N V 2 は、入力が第 2 のストアノード N 2 に接続されており、出力が第 1 のストアノード N 1 に接続されている。

【0026】

トランジスタ Q N 1 のソース～ドレイン経路は、第 1 のストアノード N 1 とビットライン B L a との間に接続されている。トランジスタ Q N 2 のソース～ドレイン経路は、第 2 のストアノード N 2 とビットライン B L b との間に接続されている。トランジスタ Q N 1 及び Q N 2 のゲートは、ワードライン W L に接続されている。

【0027】

説明を簡単にするために、図2においては1つのメモリセル41のみを示しているが、実際には複数のメモリセルがアレイ状に配列されてメモリセルアレイを構成する。メモリセルアレイの1つの行を構成するメモリセルには、書込み／読出し用の1本のワードラインWLが接続される。一方、メモリセルアレイの1つの列を形成するメモリセルには、1組のビットラインBLa及びBLbとが接続される。

【0028】

書込み制御信号WEがハイレベルになると、書込み／読出し回路42によってデータの書込みが行われる。データの書込みにおいては、ワードライン駆動回路44からワードラインWL上にハイレベルの信号が供給されると共に、例えば、ビットラインBLa上にローレベルの信号が供給され、ビットラインBLb上にハイレベルの信号が供給される。ワードラインWL上にハイレベルの信号が供給されることにより、トランジスタQN1がオン状態となる。

【0029】

これにより、ストアノードN1は、ビットラインBLaと同一のローレベルとなり、ストアノードN2は、ビットラインBLbと同一のハイレベルとなる。反転回路INV1とINV2がこの状態を維持することにより、メモリセル41に1ビットのデータが記憶される。

【0030】

読出し制御信号REがハイレベルになると、書込み／読出し回路42によってデータの読出しが行われる。また、表示データ読出し制御信号LREがハイレベルになると、読出し回路43によってデータの読出しが行われる。データの読出しにおいては、ビットラインBLa及びBLbがプリチャージ又はプルアップされる。その後、ワードライン駆動回路44からワードラインWLにハイレベルの信号が供給され、トランジスタQN1がオン状態となる。

【0031】

これにより、ビットラインBLaがストアノードN1と同一のローレベルとなり、ビットラインBLbがストアノードN2と同一のハイレベルを維持する。書

込み／読出し回路 42 又は読出し回路 43 において、センスアンプを用いてビットライン BL a と BL b のレベルを検出することにより、メモリセル 41 に記憶されている 1 ビットのデータが読み出される。

【0032】

図 3 は、本実施形態において用いられる CPU 系制御回路の構成を示す図である。CPU 系制御回路 24 は、書込み要求信号 WR バー及び書込みモード信号 WM が入力される AND 回路 51 と、AND 回路 51 の出力信号を所定の遅延時間 D1 だけ遅延させる遅延回路 52 と、AND 回路 51 の出力信号及び遅延回路 52 の出力信号が入力される片側反転入力の AND 回路 53 とを含んでいる。これらの回路は、書込み要求信号 WR バー及び書込みモード信号 WM に基づいて、書込み制御信号 WE を生成する。

【0033】

また、CPU 系制御回路 24 は、読出し要求信号 RD バー及び読出しモード信号 RM が入力される AND 回路 54 と、AND 回路 54 の出力信号を所定の遅延時間 D2 だけ遅延させる遅延回路 55 と、AND 回路 54 の出力信号及び遅延回路 55 の出力信号が入力される片側反転入力の AND 回路 56 とを含んでいる。これらの回路は、読出し要求信号 RD バー及び読出しモード信号 RM に基づいて、読出し制御信号 RE を生成する。

【0034】

図 4 は、本実施形態において用いられる表示系制御回路の構成を示す図である。表示系制御回路 26 は、表示データ読出し要求信号 LR バーを所定の遅延時間 D3 だけ遅延させる遅延回路 61 と、表示データ読出し要求信号 LR バー及び遅延回路 61 の出力信号が入力される片側反転入力の AND 回路 62 と、表示データ読出し要求信号 LR バーによってリセットされると共に、AND 回路 62 の出力信号によってセットされるフリップフロップ 63 と、5 入力の AND 回路 64 とを含んでいる。

【0035】

フリップフロップ 63 は、表示データ読出し要求信号 LR バーがローレベルになるとリセットが解除されてセットされ、その出力信号 Q をハイレベルとする。

フリップフロップ 63 の出力信号 Q は、表示データ読出し制御信号 LRE の立下りエッジに同期して、ローレベルに戻る。AND 回路 64 の 3 つの入力端子には、フリップフロップ 63 の出力信号 Q と、書込み要求信号 WR バーと、読出し要求信号 RD バーとが入力され、AND 回路 64 の 2 つの反転入力端子には、書込み制御信号 WE と、読出し制御信号 RE とが入力される。

【0036】

さらに、表示系制御回路 26 は、AND 回路 64 の出力信号を所定の遅延時間 D4 だけ遅延させる遅延回路 65 と、AND 回路 64 の出力信号及び遅延回路 65 の出力信号が入力され、表示データ読出し制御信号 LRE を出力する片側反転入力の AND 回路 66 とを含んでいる。

【0037】

次に、本発明の第 1 の実施形態に係る半導体集積回路における書込み制御動作及び読出し制御動作について説明する。

図 5 は、図 3 に示す CPU 系制御回路における書込み制御動作を説明するためのタイミングチャートである。図 5 に示すように、書込み要求信号 WR バーがローレベルとなっている間に書込みモード信号 WM が立上がり、その後、書込み要求信号 WR バーがハイレベルに戻ると、AND 回路 51 の出力信号はハイレベルとなる。AND 回路 51 の出力信号は、AND 回路 53 の第 1 の入力端子に供給されると共に、遅延時間 D1 を有する遅延回路 52 を介して AND 回路 53 の第 2 の入力端子（反転入力）に供給される。

【0038】

これにより、AND 回路 53 から出力される書込み制御信号 WE は、遅延回路 52 の遅延時間 D1 と等しい期間においてハイレベルとなる。書込み制御信号 WE がハイレベルとなっている期間において、図 1 の CPU10 から CPU インターフェース 21 を介して入力されたデータが、メモリセルアレイ 22 に書き込まれる。

【0039】

図 6 は、図 3 に示す CPU 系制御回路における読出し制御動作を説明するためのタイミングチャートである。図 6 に示すように、読出し要求信号 RD バーがロ

ーレベルとなっている間に読出しモード信号RMが立上がり、その後、読出し要求信号RDバーがハイレベルに戻ると、AND回路54の出力信号はハイレベルとなる。AND回路54の出力信号は、AND回路56の第1の入力端子に供給されると共に、遅延時間D2を有する遅延回路55を介してAND回路56の第2の入力端子（反転入力）に供給される。

【0040】

これにより、AND回路56から出力される読出し制御信号REは、遅延回路55の遅延時間D2と等しい期間においてハイレベルとなる。読出し制御信号REがハイレベルとなっている期間において、図1に示すメモリセルアレイ22からデータが読み出され、読み出されたデータが、CPUインターフェース21を介してCPU10に出力される。

【0041】

図7は、図4に示す表示系制御回路における読出し制御動作を説明するためのタイミングチャートである。図4に示すように、表示データ読出し要求信号LRバーがハイレベルである間に、フリップフロップ63がリセットされる。次に、表示データ読出し要求信号LRバーが立ち下ると、AND回路62の出力信号は、遅延回路61の遅延時間D3と等しい期間においてハイレベルとなる。これにより、フリップフロップ63がセットされて、その出力信号Qがハイレベルとなる。

【0042】

書込み要求信号WRバー又は読出し要求信号RDバーがハイレベルになると、書込み制御信号WE又は読出し制御信号REが所定の期間ハイレベルとなる。書込み制御信号WE又は読出し制御信号REがローレベルに戻ると、5入力のAND回路64の出力信号がハイレベルとなる。AND回路64の出力信号は、AND回路66の第1の入力端子に供給されると共に、遅延時間D4を有する遅延回路65を介してAND回路66の第2の入力端子（反転入力）に供給される。

【0043】

その結果、AND回路66から出力される表示データ読出し制御信号LREは、遅延回路65の遅延時間D4と等しい期間においてハイレベルとなる。表示デ

ータ読出し制御信号 L R E がハイレベルとなっている期間において、図 1 に示すメモリセルアレイ 22 からデータが読み出され、読み出されたデータが L C D インターフェース 23 に出力されて、L C D パネル 30 を駆動するための駆動信号が生成される。

【0044】

本実施形態によれば、C P U 10 から送信された書込み要求信号 W R バー及び読出し要求信号 R D バーのいずれも活性化されておらず、かつ、C P U 系制御回路 24 によって生成された書込み制御信号 W E 及び読出し制御信号 R E のいずれも活性化されていないときに、表示系制御回路 26 が、タイミング発生回路 25 から送信された表示データ読出し要求信号 L R バーに基づいて表示データ読出し制御信号 L R E を活性化する。

【0045】

即ち、書込み要求信号 W R バー、読出し要求信号 R D バー、書込み制御信号 W E、読出し制御信号 R E のいずれかが活性化されている期間においては、表示データ読出し制御信号 L R E の活性化が禁止される。このようにして、C P U 10 のデータ書込み／読出し動作を優先させながら、L C D パネル 30 に画像を表示するためのデータの読出し動作をスムーズに行うことができる。

【0046】

次に、本発明の第 2 の実施形態に係る半導体集積回路について説明する。第 2 の実施形態は、第 1 の実施形態における表示系制御回路を変更したものであり、その他の点に関しては第 1 の実施形態と同様である。

【0047】

図 8 は、本発明の第 2 の実施形態において用いられる表示系制御回路の構成を示す図である。この表示系制御回路は、表示データ読出し要求信号 L R バーを所定の遅延時間 D 3 だけ遅延させる遅延回路 61 と、表示データ読出し要求信号 L R バー及び遅延回路 61 の出力信号が入力される片側反転入力のアンド回路 62 と、表示データ読出し要求信号 L R バーによってリセットされると共に、アンド回路 62 の出力信号によってセットされるフリップフロップ 63 と、5 入力のアンド回路 64 とを含んでいる。

【0048】

フリップフロップ63は、表示データ読出し要求信号LRバーがローレベルになるとリセットが解除されてセットされ、その出力信号Qをハイレベルとする。フリップフロップ63の出力信号Qは、表示データ読出し制御信号LREの立下りエッジに同期して、ローレベルに戻る。AND回路64の3つの入力端子には、フリップフロップ63の出力信号Qと、書込み要求信号WRバーと、読出し要求信号RDバーとが入力され、AND回路64の2つの反転入力端子には、書込み制御信号WEと、読出し制御信号REとが入力される。

【0049】

さらに、表示系制御回路は、AND回路64の出力信号を所定の遅延時間D4だけ遅延させる遅延回路65と、AND回路64の出力信号及び遅延回路65の出力信号が入力される片側反転入力のAND回路66と、NOR回路67と、反転入力のAND回路68と、AND回路68の出力信号を所定の遅延時間D5だけ遅延させる遅延回路69とを含んでいる。AND回路66の出力信号がハイレベルになると、AND回路68は、遅延時間D5と等しい期間だけハイレベルとなる表示データ読出し制御信号LREを出力する。

【0050】

次に、本発明の第2の実施形態に係る半導体集積回路における読出し制御動作について説明する。

図9は、図8に示す表示系制御回路における読出し制御動作を説明するためのタイミングチャートである。

【0051】

表示データ読出し要求信号LRバーがハイレベルである間に、フリップフロップ63がリセットされる。次に、表示データ読出し要求信号LRバーが立下がると、AND回路62の出力信号は、遅延回路61の遅延時間D3と等しい期間においてハイレベルとなる。これにより、フリップフロップ63がセットされて、その出力信号Qがハイレベルとなる。

【0052】

書込み要求信号WRバー又は読出し要求信号RDバーがハイレベルになると、

書込み制御信号WE又は読出し制御信号REが所定の期間ハイレベルとなる。書込み制御信号WE又は読出し制御信号REがローレベルに戻ると、5入力のAND回路64の出力信号がハイレベルとなる。AND回路64の出力信号は、AND回路66の第1の入力端子に供給されると共に、遅延時間D4を有する遅延回路65を介してAND回路66の第2の入力端子（反転入力）に供給される。

【0053】

AND回路66の出力信号は、NOR回路67の第1の入力端子に供給され、NOR回路67の出力信号は、AND回路68の第1の入力端子に供給される。AND回路68から出力される表示データ読出し制御信号LREは、NOR回路67の第2の入力端子に供給されると共に、遅延時間D5を有する遅延回路69を介してAND回路68の第2の入力端子に供給される。

【0054】

その結果、表示データ読出し制御信号LREは、遅延回路69の遅延時間D5と等しい期間においてハイレベルとなる。ここで、書込み要求信号WRバー又は読出し要求信号RDバーが次に立ち上がる前に表示データ読出し制御信号LREがローレベルに戻るように、遅延回路69の遅延時間D5が定められている。

【0055】

これにより、本実施形態においては、CPU系制御回路によって生成された書込み制御信号WE及び読出し制御信号REのいずれも活性化されていないときに、表示系制御回路が、表示データ読出し制御信号LREを活性化する。即ち、書込み制御信号WE又は読出し制御信号REが活性化されている期間においては、表示データ読出し制御信号LREの活性化が禁止される。

【0056】

さらに、CPU10から送信された書込み要求信号WRバー及び読出し要求信号RDバーのいずれも活性化されておらず、かつ、CPU系制御回路によって生成された書込み制御信号WE及び読出し制御信号REのいずれも活性化されていないときに、表示系制御回路が、タイミング発生回路25から送信された表示データ読出し要求信号LRバーに基づいて表示データ読出し制御信号LREの活性化を開始する。

【0057】

即ち、書込み要求信号WRバー、読出し要求信号RDバー、書込み制御信号WE、読出し制御信号REのいずれかが活性化されている期間においては、表示データ読出し制御信号LREの活性化の開始が禁止される。ただし、書込み要求信号WRバー又は読出し要求信号RDバーが活性化されていても、書込み制御信号WE及び読出し制御信号REのいずれも活性化されていなければ、LCDパネル30に画像を表示するためのデータの読出し動作を継続して行うことができる。従って、本実施形態によれば、データの書込み又は読出し動作のサイクルタイムを、第1の実施形態におけるよりも短縮することが可能である。

【0058】

次に、本発明の第3の実施形態に係る半導体集積回路について説明する。第3の実施形態は、第1の実施形態におけるCPU系制御回路及び表示系制御回路を変更したものであり、その他の点に関しては第1の実施形態と同様である。

【0059】

図10は、本実施形態において用いられるCPU系制御回路の構成を示す図である。このCPU系制御回路は、書込み要求信号WRバー及び書込みモード信号WMが入力されるAND回路51と、AND回路51の出力信号を所定の遅延時間D1だけ遅延させる遅延回路52と、AND回路51の出力信号及び遅延回路52の出力信号が入力される片側反転入力AND回路53と、AND回路53の出力信号を所定の遅延時間D6だけ遅延させる遅延回路71とを含んでいる。ここで、 $D6 \geq D5$ とする。これらの回路は、書込み要求信号WRバー及び書込みモード信号WMに基づいて、書込み制御信号WEを生成する。なお、遅延回路71は、AND回路51の入力端子側に配置しても良いし、AND回路51及び53の間に配置しても良い。

【0060】

また、CPU系制御回路は、読出し要求信号RDバー及び読出しモード信号RMが入力されるAND回路54と、AND回路54の出力信号を所定の遅延時間D2だけ遅延させる遅延回路55と、AND回路54の出力信号及び遅延回路55の出力信号が入力される片側反転入力AND回路56と、AND回路56の

出力信号を所定の遅延時間 $D7$ だけ遅延させる遅延回路 72 とを含んでいる。ここで、 $D7 \geq D5$ とする。これらの回路は、読出し要求信号 \overline{RD} 及び読出しモード信号 RM に基づいて、読出し制御信号 RE を生成する。なお、遅延回路 72 は、AND 回路 54 の入力端子側に配置しても良いし、AND 回路 54 及び 56 の間に配置しても良い。

【0061】

図 11 は、本発明の第 3 の実施形態において用いられる表示系制御回路の構成を示す図である。この表示系制御回路は、表示データ読出し要求信号 \overline{LR} を所定の遅延時間 $D3$ だけ遅延させる遅延回路 61 と、表示データ読出し要求信号 \overline{LR} 及び遅延回路 61 の出力信号が入力される片側反転入力の AND 回路 62 と、表示データ読出し要求信号 \overline{LR} によってリセットされると共に、AND 回路 62 の出力信号によってセットされるフリップフロップ 63 と、4 入力の AND 回路 70 とを含んでいる。

【0062】

フリップフロップ 63 は、表示データ読出し要求信号 \overline{LR} がローレベルになるとリセットが解除されてセットされ、その出力信号 Q をハイレベルとする。フリップフロップ 63 の出力信号 Q は、表示データ読出し制御信号 \overline{LRE} の立下りエッジに同期して、ローレベルに戻る。AND 回路 70 の入力端子には、フリップフロップ 63 の出力信号 Q が入力され、AND 回路 70 の 3 つの反転入力端子には、CPU 10 から書込み又は読出しが要求されていない状態を表す信号 K と、書込み制御信号 \overline{WE} と、読出し制御信号 RE とが入力される。

【0063】

また、表示系制御回路は、書込み要求信号 \overline{WR} を所定の遅延時間 $D8$ だけ遅延させる遅延回路 73 と、書込み要求信号 \overline{WR} 及び遅延回路 73 の出力信号が入力される片側反転入力の AND 回路 74 と、読出し要求信号 \overline{RD} を所定の遅延時間 $D9$ だけ遅延させる遅延回路 75 と、読出し要求信号 \overline{RD} 及び遅延回路 75 の出力信号が入力される片側反転入力の AND 回路 76 と、AND 回路 74 及び 76 の出力信号に基づいて信号 K を出力する OR 回路 77 とを含んでいる。ここで、 $D8 \geq D1 + D6$ とし、また、 $D9 \geq D2 + D7$ とする。

【0064】

さらに、表示系制御回路は、AND回路70の出力信号を所定の遅延時間D4だけ遅延させる遅延回路65と、AND回路70の出力信号及び遅延回路65の出力信号が入力される片側反転入力のAND回路66と、NOR回路67と、反転入力のAND回路68と、AND回路68の出力信号を所定の遅延時間D5だけ遅延させる遅延回路69とを含んでいる。AND回路66の出力信号がハイレベルになると、AND回路68は、遅延時間D5と等しい期間だけハイレベルとなる表示データ読出し制御信号LREを出力する。

【0065】

次に、本発明の第3の実施形態に係る半導体集積回路における読出し制御動作について説明する。なお、CPU制御回路における書込み制御動作及び読出し制御動作については、遅延回路71によって遅延時間D6だけ遅延させられた書込み制御信号WEを生成し、遅延回路72によって遅延時間D7だけ遅延させられた読出し制御信号REを生成することを除き、図5及び図6を参照しながら説明したものと同様である。

【0066】

図12及び図13は、図11に示す表示系制御回路における読出し制御動作を説明するためのタイミングチャートである。図12は、書込み要求信号WRバー又は読出し要求信号RDバーの受信を終了する前に表示データ読出し要求信号を受信した場合における読出し制御動作を説明するための図である。図13は、書込み要求信号WRバー又は読出し要求信号RDバーの受信を終了した後、所定の期間内に表示データ読出し要求信号を受信した場合における読出し制御動作を説明するための図である。

【0067】

図12に示すように、表示データ読出し要求信号LRバーが立下がると、遅延回路61の遅延時間D3と等しい期間においてAND回路62の出力信号がハイレベルとなり、フリップフロップ63がセットされて、その出力信号Qがハイレベルとなる。また、書込み要求信号WRバーも読出し要求信号RDバーもローレベルなので、信号K、書込み制御信号WE、読出し制御信号REがローレベルと

なり、表示データ読出し制御信号 \overline{LRE} が、遅延時間 $D5$ と等しい期間だけハイレベルとなる。

【0068】

一方、書込み要求信号 \overline{WR} バーがハイレベルになると、書込み制御信号 \overline{WE} は、遅延時間 $D6$ と等しい期間の経過後に所定の期間ハイレベルとなる。即ち、書込み制御信号 \overline{WE} は、遅延時間 $D6$ と等しい期間だけローレベルを維持し、 $D6 \geq D5$ なので、表示のためのデータ読出し制御は、CPUからのデータ書込み制御と競合しない。

【0069】

また、読出し要求信号 \overline{RD} バーがハイレベルになると、読出し制御信号 \overline{RE} は、遅延時間 $D7$ と等しい期間の経過後に所定の期間ハイレベルとなる。即ち、読出し制御信号 \overline{RE} は、遅延時間 $D7$ と等しい期間だけローレベルを維持し、 $D7 \geq D5$ なので、表示のためのデータ読出し制御は、CPUからのデータ読出し制御と競合しない。

【0070】

したがって、書込み要求信号 \overline{WR} バー又は読出し要求信号 \overline{RD} バーが活性化されている期間においても、表示データ読出し制御信号 \overline{LRE} の活性化が禁止されず、直ちに表示のためにデータを読み出すことができる。

【0071】

また、図13に示すように、書込み要求信号 \overline{WR} バー又は読出し要求信号 \overline{RD} バーの受信を終了した後、所定の期間内に表示データ読出し要求信号を受信した場合には、信号 K がハイレベルとなり、表示データ読出し制御信号 \overline{LRE} はローレベルを維持する。その後、信号 K がローレベルになると、表示データ読出し制御信号 \overline{LRE} はハイレベルに移行する。

【0072】

一方、書込み要求信号 \overline{WR} バーがハイレベルになると、書込み制御信号 \overline{WE} は、遅延時間 $D6$ と等しい期間の経過後に、遅延時間 $D1$ と等しい期間ハイレベルとなる。即ち、表示データ読出し制御信号 \overline{LRE} は、遅延時間 $D8$ と等しい期間だけローレベルを維持し、 $D8 \geq D1 + D6$ なので、CPUからのデータ書込み

制御は、表示のためのデータ読出し制御と競合しない。

【0073】

また、読出し要求信号RDバーがハイレベルになると、読出し制御信号REは、遅延時間D7と等しい期間の経過後に、遅延時間D2と等しい期間ハイレベルとなる。即ち、表示データ読出し制御信号LREは、遅延時間D9と等しい期間だけローレベルを維持し、 $D9 \geq D2 + D7$ なので、CPUからのデータ読出し制御は、表示のためのデータ読出し制御と競合しない。

【0074】

したがって、表示データ読出し要求信号LRバーが活性化されている期間においても、書込み制御信号WE及び読出し制御信号REの活性化が禁止されず、直ちにCPUからのアクセスを実行することができる。

【0075】

これにより、本実施形態においては、CPUから送信された書込み要求信号WRバーの活性化の終了からCPU系制御回路によって生成された書込み制御信号WEの活性化の終了までの期間、及び、CPUから送信された読出し要求信号RDバーの活性化の終了からCPU系制御回路によって生成された読出し制御信号REの活性化の終了までの期間を除く期間に、表示系制御回路が、タイミング発生回路から送信された表示データ読出し要求信号LRバーに基づいて表示データ読出し制御信号LREの活性化を開始する。即ち、上記期間においては、表示データ読出し制御信号LREの活性化が禁止される。

【0076】

また、CPU系制御回路によって生成された書込み制御信号WE及び読出し制御信号REのいずれも活性化されていないときに、表示系制御回路が、表示データ読出し制御信号LREを活性化する。即ち、書込み制御信号WE又は読出し制御信号REが活性化されている期間においては、表示データ読出し制御信号LREの活性化が禁止される。

【0077】

ただし、書込み要求信号WRバーの活性化の終了後又は読出し要求信号RDバーの活性化の終了後であっても、書込み制御信号WE及び読出し制御信号REの

いずれも活性化されていなければ、LCDパネル30に画像を表示するためのデータの読出し動作を継続して行うことができる。従って、本実施形態によれば、データの書込み又は読出し動作のサイクルタイムを、第1及び第2の実施形態におけるよりも短縮することが可能である。

【0078】

次に、本発明の第4の実施形態に係る半導体集積回路について説明する。第4の実施形態は、第3の実施形態における表示系制御回路を変更したものであり、その他の点に関しては第3の実施形態と同様である。

【0079】

図14は、本発明の第4の実施形態において用いられる表示系制御回路の構成を示す図である。この表示系制御回路は、図11における信号Kを生成するための回路73～77の替わりに、書込み要求信号WRバー及び読出し要求信号RDバーが入力されるAND回路78と、AND回路78の出力信号を所定の時間D10だけ遅延させる遅延回路79と、AND回路78及び遅延回路79の出力信号が入力される片側反転入力のAND回路80とを含んでいる。ここで、 $D10 \geq D1 + D6$ 、かつ、 $D10 \geq D2 + D7$ とする。なお、本実施形態に係る半導体集積回路における読出し制御動作は、図12及び図13を用いて説明したものと同様である。

【0080】

次に、本発明の第5の実施形態に係る半導体集積回路について説明する。第5の実施形態においては、多数のメモリセルを含むメモリセルアレイが、複数のブロック（「バンク」ともいう）に分割して制御される。

【0081】

図15は、本発明の第5の実施形態において用いられるメモリセルアレイの構成を示す図である。図15に示すように、このメモリセルアレイは、 $M \times N$ 個のブロックに分割されており、任意のブロックを (m, n) で表すものとする。このブロックを選択するために、ブロック選択信号BS (m, n) が用いられる。

【0082】

図16は、本実施形態において用いられるCPU系制御回路の構成を示す図で

ある。CPU系制御回路は、CPU10からの書込み要求又は読出し要求に基づくデータの書込み又は読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御する。

【0083】

CPU系制御回路は、書込み要求信号WRバー、書込みモード信号WM、ブロック選択信号BS(m, n)が入力されるAND回路81と、AND回路81の出力信号を所定の遅延時間だけ遅延させる遅延回路82と、AND回路81の出力信号及び遅延回路82の出力信号が入力される片側反転入力AND回路83とを、ブロックの数だけ含んでいる。これらの回路は、ブロック(m, n)が選択された際に、書込み要求信号WRバー及び書込みモード信号WMに基づいて、そのブロック(m, n)のための書込み制御信号WEを生成する。

【0084】

また、CPU系制御回路は、読出し要求信号RDバー、読出しモード信号RM、ブロック選択信号BS(m, n)が入力されるAND回路84と、AND回路84の出力信号を所定の遅延時間だけ遅延させる遅延回路85と、AND回路84の出力信号及び遅延回路85の出力信号が入力される片側反転入力AND回路86とを、ブロックの数だけ含んでいる。これらの回路は、ブロック(m, n)が選択された際に、読出し要求信号RDバー及び読出しモード信号RMに基づいて、選択されたブロック(m, n)のための読出し制御信号REを生成する。

【0085】

表示系制御回路は、CPU10からの要求に基づくデータの書込み又は読出しが行われているブロックにおいては、タイミング発生回路25からの読出し要求に基づくデータの読出しが行われないように、メモリセルアレイを複数のブロックに分割して制御すると共に、CPU10からの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックにおいては、LCDパネル30に供給すべきデータの読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御する。

【0086】

次に、本発明の第5の実施形態に係る半導体集積回路における読出し制御動作

について説明する。

図 17 は、本発明の第 5 の実施形態に用いられる表示系制御回路における読出し制御動作を説明するためのタイミングチャートである。

【0087】

書込み要求信号 WR バー又は読出し要求信号 RD バーがハイレベルになると、選択されたブロック (m, n) のための書込み制御信号 WE 又は読出し制御信号 RE が順次ハイレベルとなる。これにより、ブロック (m, n) 毎に、CPU 10 からの要求に基づくデータの書込み又は読出しが順次行われる。

【0088】

書込み要求信号 WR バー又は読出し要求信号 RD バーがローレベルとなっている間に表示データ読出し要求信号 LR バーが立下がると、書込み要求信号 WR バー又は読出し要求信号 RD バーがハイレベルとなった後で、ブロック (m, n) 毎の表示データ読出し制御信号 LRE が順次ハイレベルとなる。これにより、ブロック (m, n) 毎に、LCD パネル 30 に供給すべきデータの読出しが順次行われる。ただし、CPU 10 からの要求に基づいて選択されているブロックについては、書込み制御信号 WE 又は読出し制御信号 RE がハイレベルである期間において表示データ読出し制御信号 LRE がローレベルとされ、CPU 10 からの要求に基づくデータの書込み又は読出しが優先して行われる。

【0089】

なお、本実施形態においては、CPU 10 から送信された書込み要求信号 WR バー又は読出し要求信号 RD バーが活性化されている期間において、タイミング発生回路 25 から送信された表示データ読出し要求信号 LR バーに基づく表示データ読出し制御信号 LRE の活性化の開始が禁止される。ただし、書込み要求信号 WR バー又は読出し要求信号 RD バーが活性化されていても、書込み制御信号 WE 及び読出し制御信号 RE のいずれも活性化されていなければ、LCD パネル 30 に画像を表示するためのデータの読出し動作を継続して行うことができる。

【0090】

本実施形態によれば、1 ポートメモリセルを使用しながら、CPU からの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデー

タの読出し動作とを、1つのメモリセルアレイにおける異なるブロックにおいて同時に行うことができる。従って、データの書き込み又は読出し動作のサイクルタイムをさらに短縮することが可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック図。

【図2】 本発明の第1の実施形態において用いられるメモリセルアレイを示す図。

【図3】 本発明の第1の実施形態において用いられるCPU系制御回路の構成を示す図。

【図4】 本発明の第1の実施形態において用いられる表示系制御回路の構成を示す図。

【図5】 図3に示すCPU系制御回路における動作を説明するためのタイミング図。

【図6】 図3に示すCPU系制御回路における動作を説明するためのタイミング図。

【図7】 図4に示す表示系制御回路における動作を説明するためのタイミング図。

【図8】 本発明の第2の実施形態において用いられる表示系制御回路の構成を示す図。

【図9】 図8に示す表示系制御回路における動作を説明するためのタイミング図。

【図10】 本発明の第3の実施形態において用いられるCPU系制御回路の構成を示す図。

【図11】 本発明の第3の実施形態において用いられる表示系制御回路の構成を示す図。

【図12】 図11に示す表示系制御回路における動作を説明するためのタイミング図。

【図13】 図11に示す表示系制御回路における動作を説明するためのタ

イミング図。

【図 14】 本発明の第 4 の実施形態において用いられる表示系制御回路の構成を示す図。

【図 15】 本発明の第 5 の実施形態において用いられるメモリセルアレイを示す図。

【図 16】 本発明の第 5 の実施形態において用いられる CPU 系制御回路の構成を示す図。

【図 17】 本発明の第 5 の実施形態に用いられる表示系制御回路における動作を説明するためのタイミング図。

【図 18】 従来の 2 ポートメモリセルの構成を示す図。

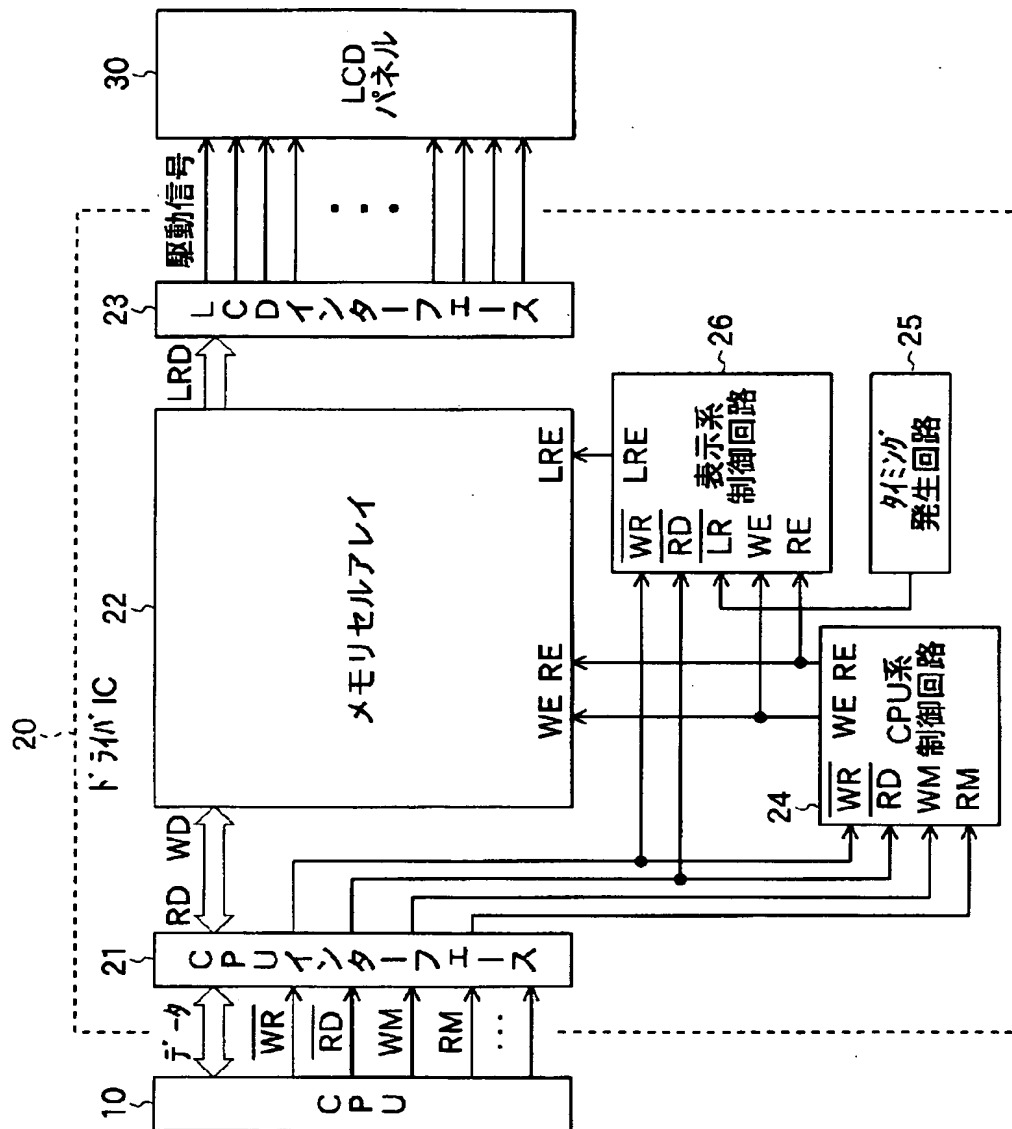
【符号の説明】

10 CPU、 20 LCD ドライバ IC、 21 CPU インターフェース、 22 メモリセルアレイ、 23 LCD インターフェース、 24 CPU 系制御回路、 25 タイミング発生回路、 26 表示系制御回路、 30 LCD パネル、 41 メモリセル、 42 書込み／読出し回路、 43 読出し回路、 44 ワードライン駆動回路、 51、53、54、56、62、64、66、68、70、74、76、78、80、81、83、84、86 AND 回路、 52、55、61、65、69、71、72、73、75、79、82、85 遅延回路、 63 フリップフロップ、 67 NOR 回路、 77 OR 回路、 BL a、BL b ビットライン、 WL ワードライン、 QN1、QN2 Nチャネル MOS トランジスタ、 INV1、INV2 反転回路、 N1、N2 ストアノード

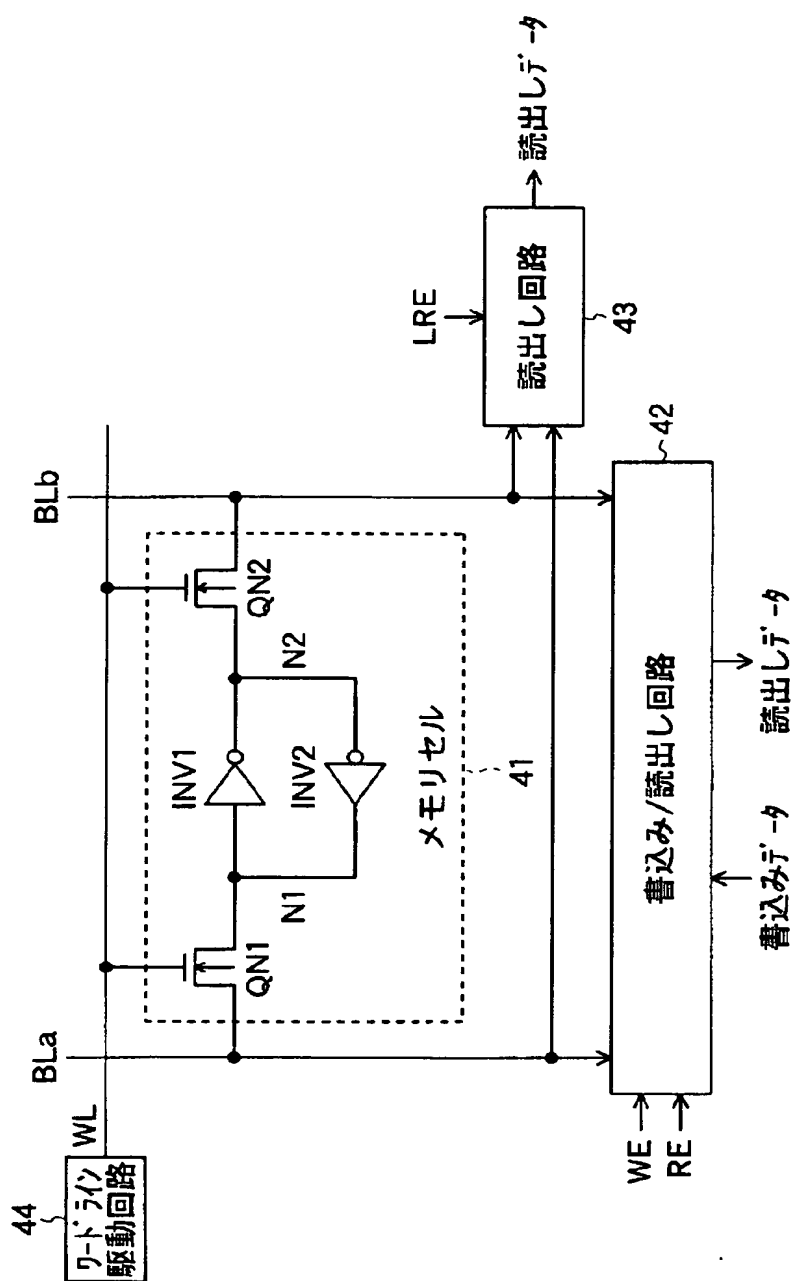
【書類名】

図面

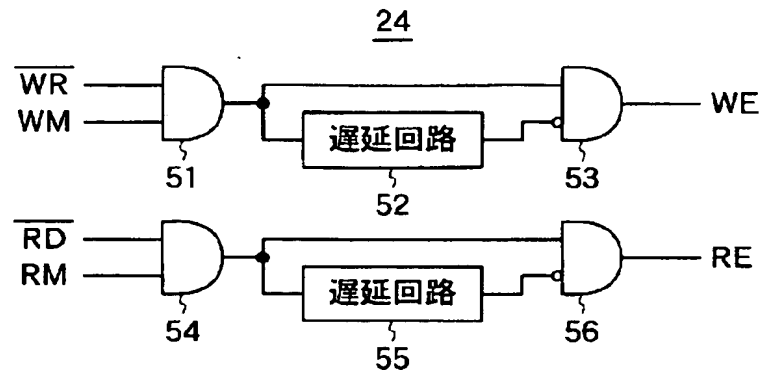
【図 1】



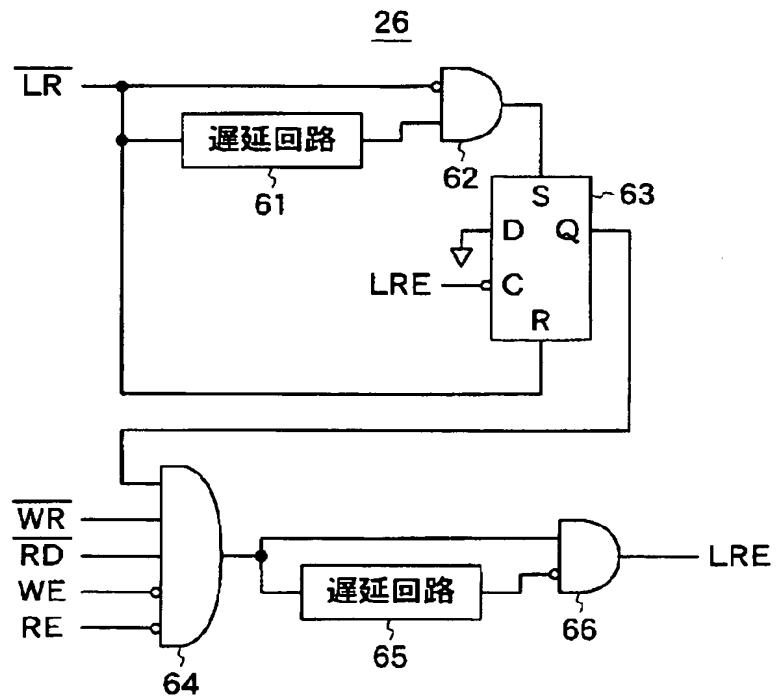
【図 2】



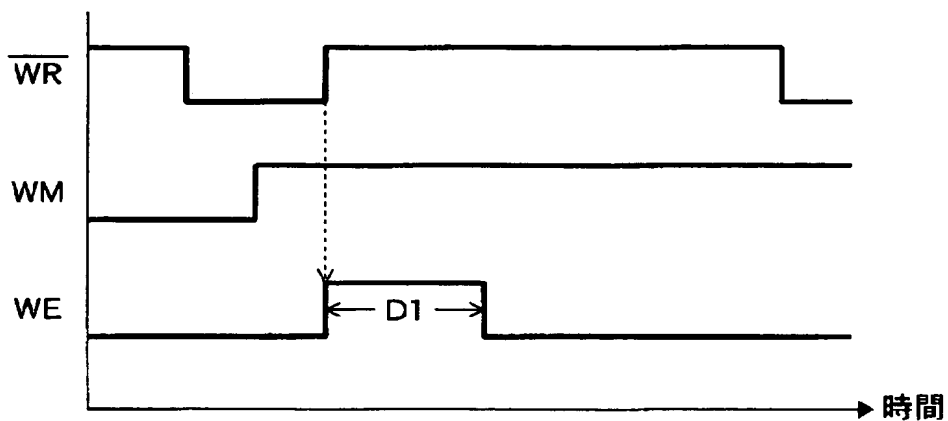
【図 3】



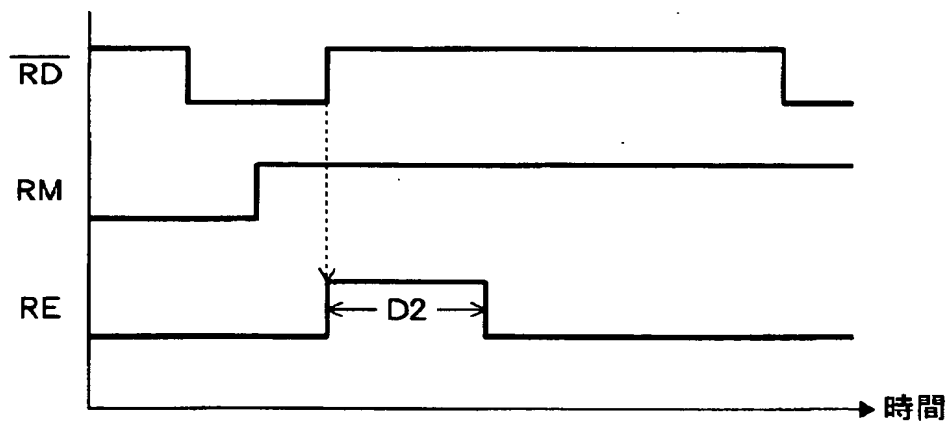
【図 4】



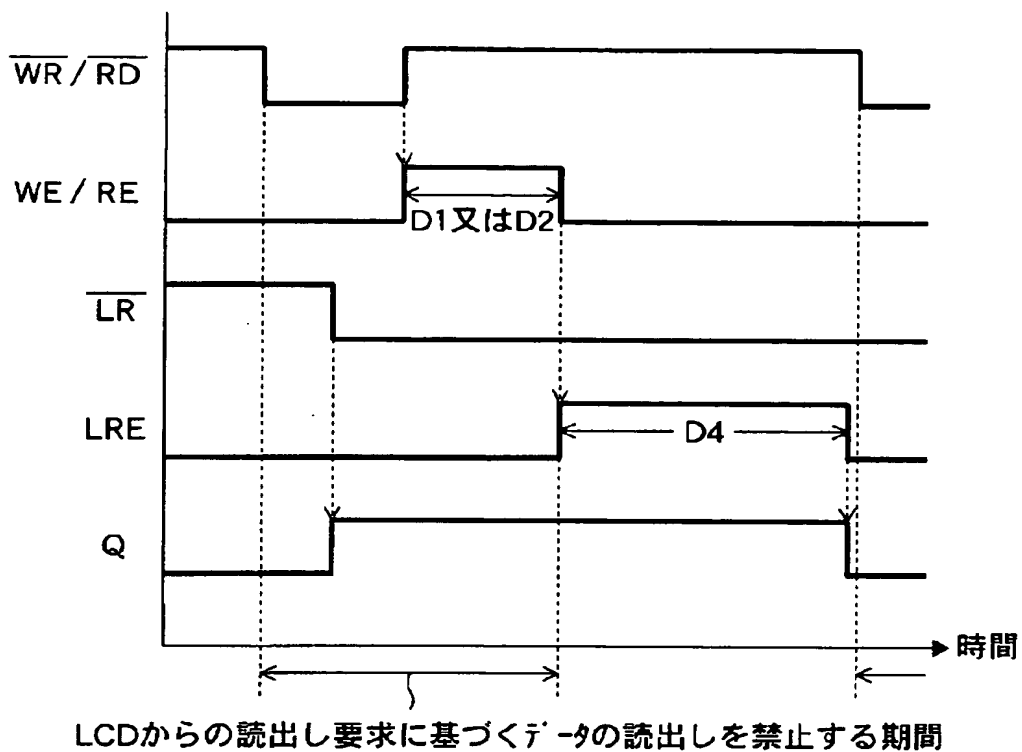
【図 5】



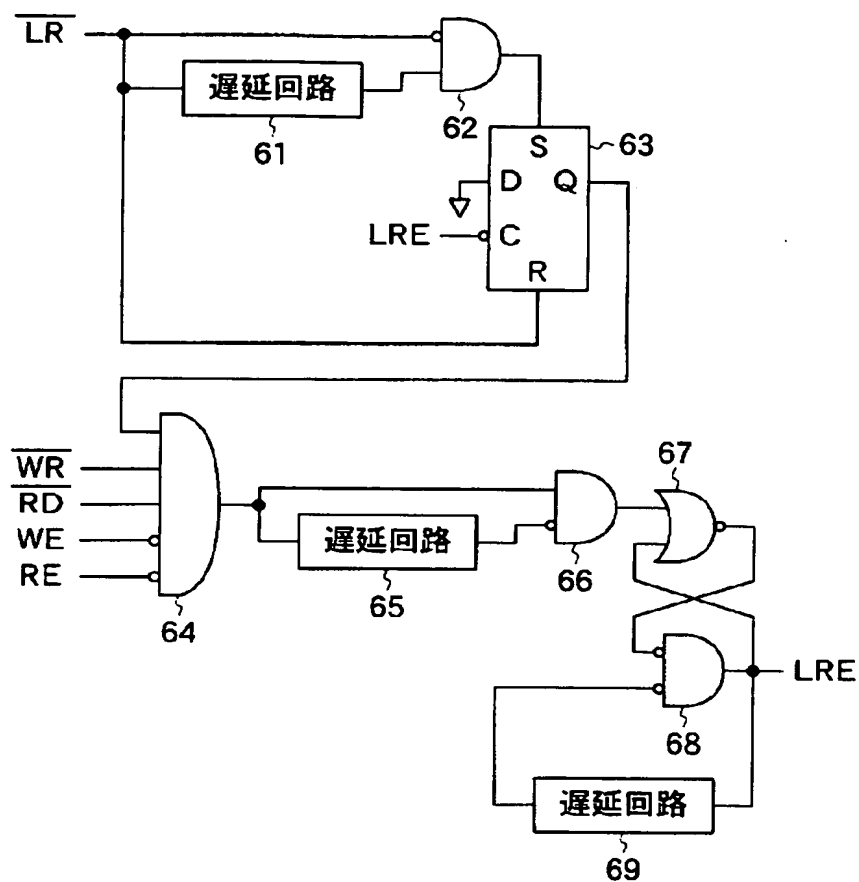
【図 6】



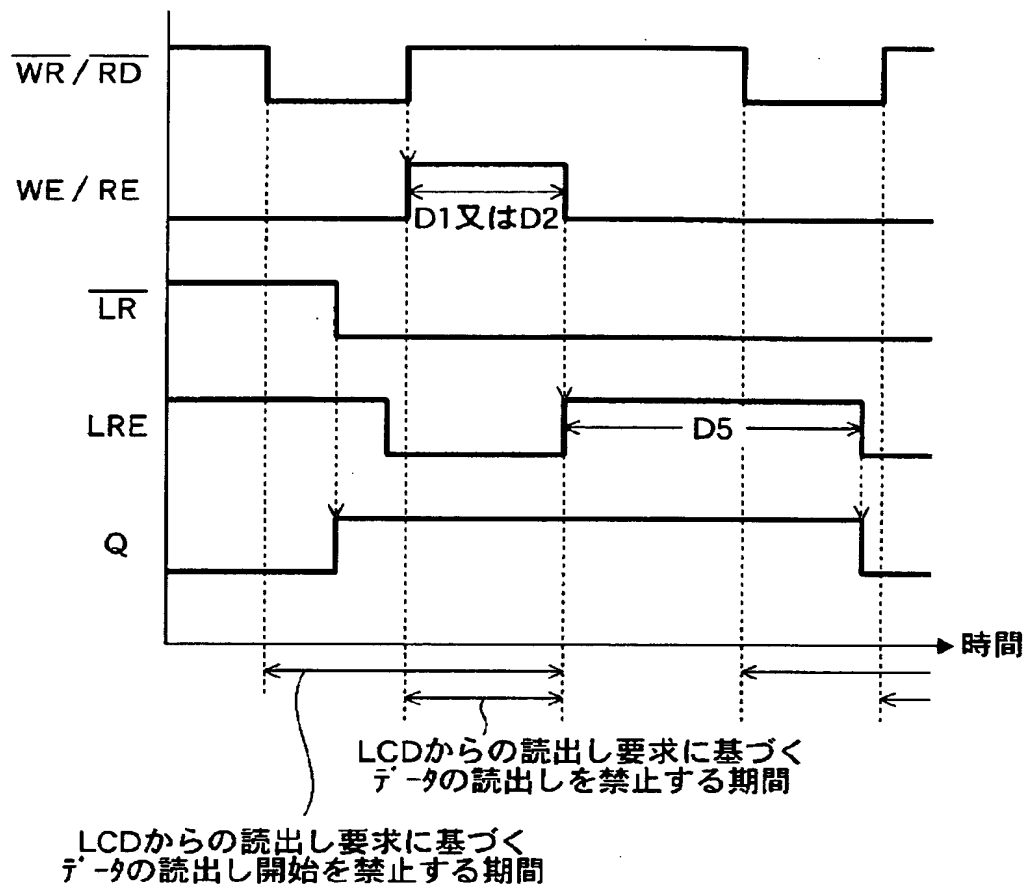
【図7】



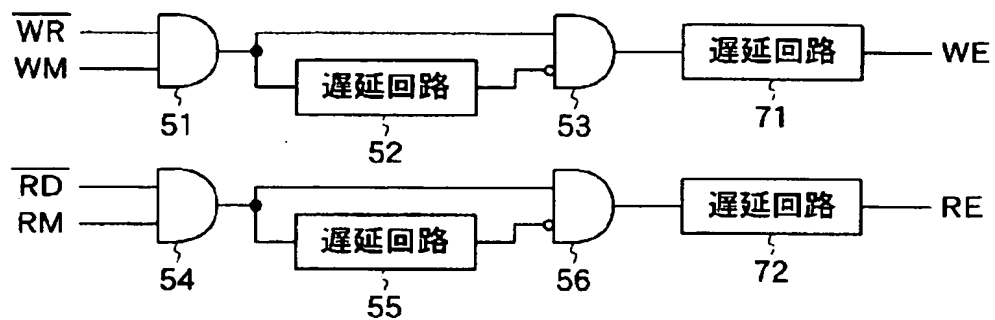
【図 8】



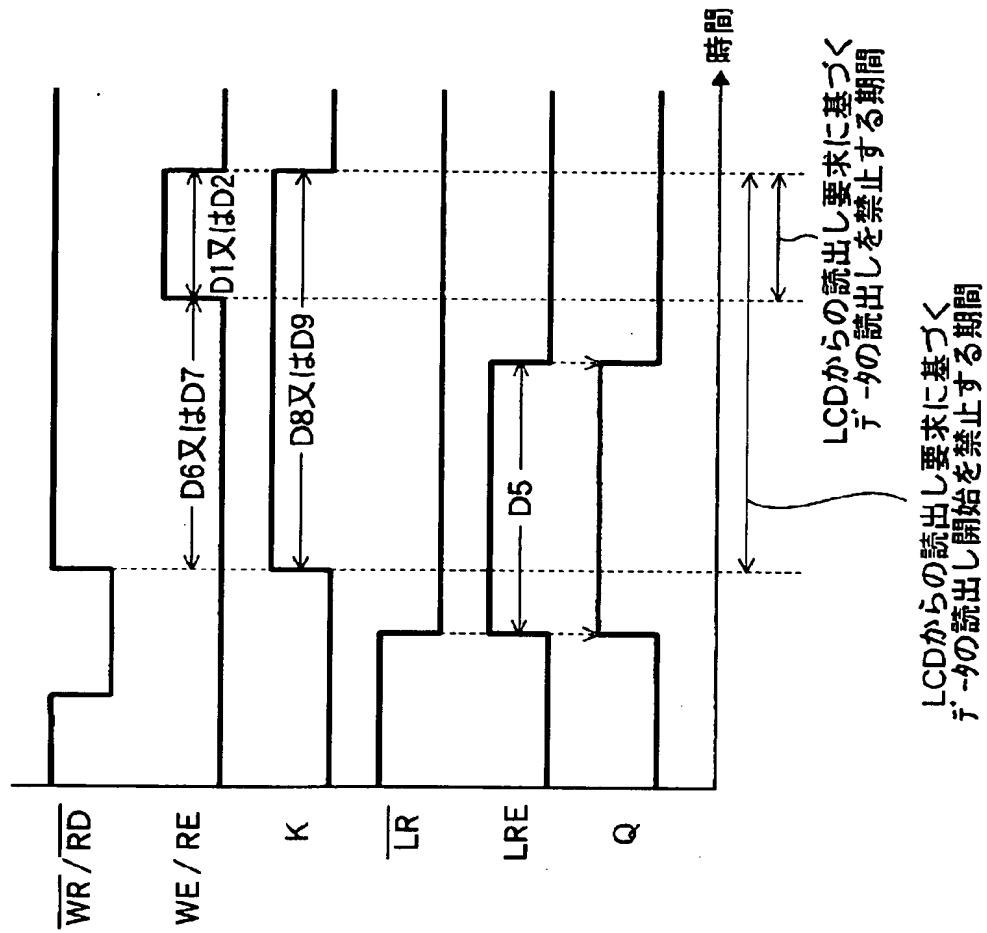
【図 9】



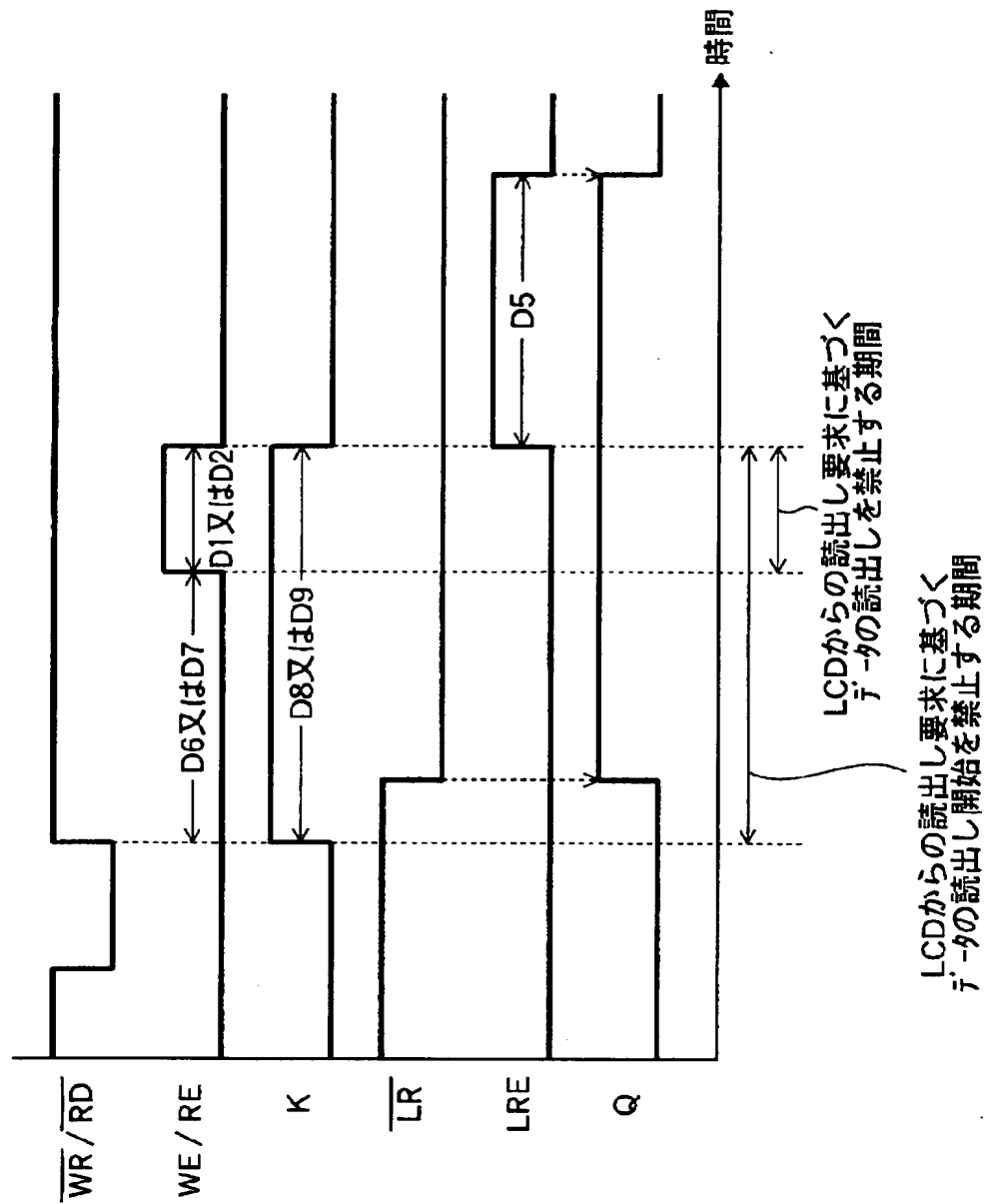
【図 10】



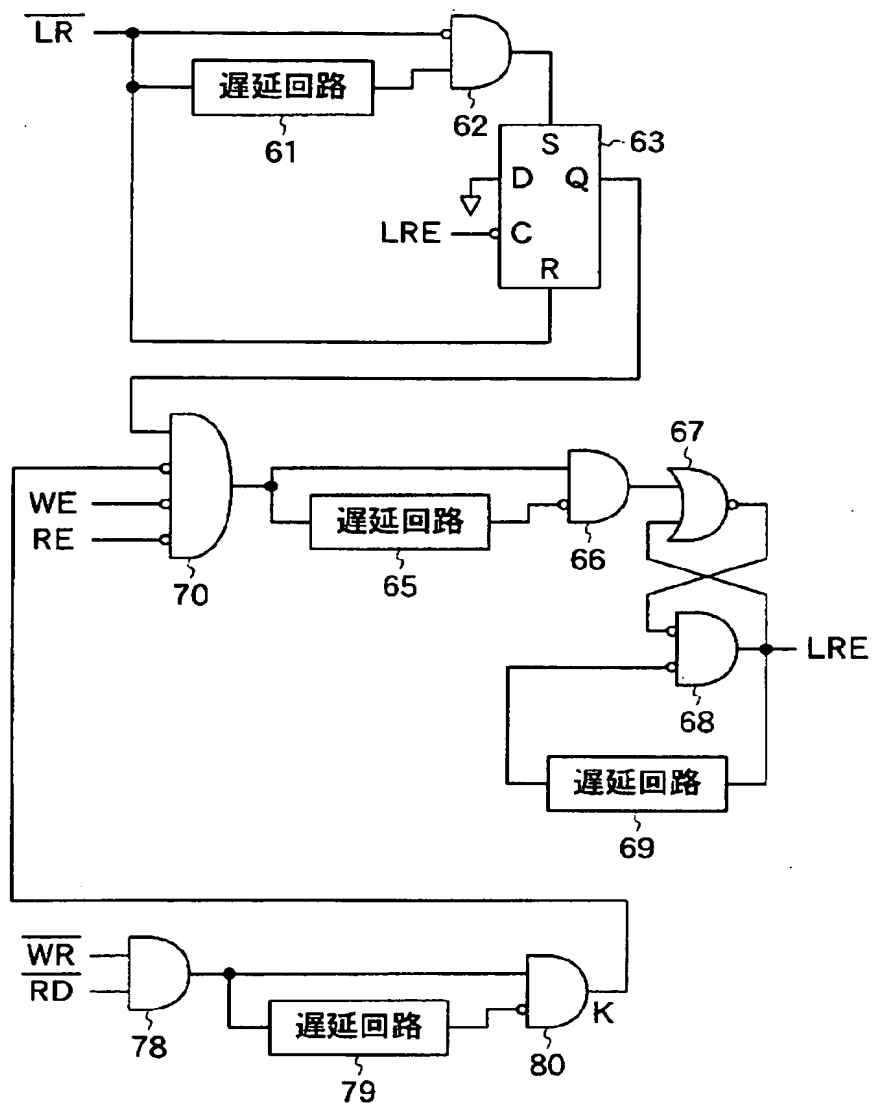
【図 12】



【図 13】



【図 14】

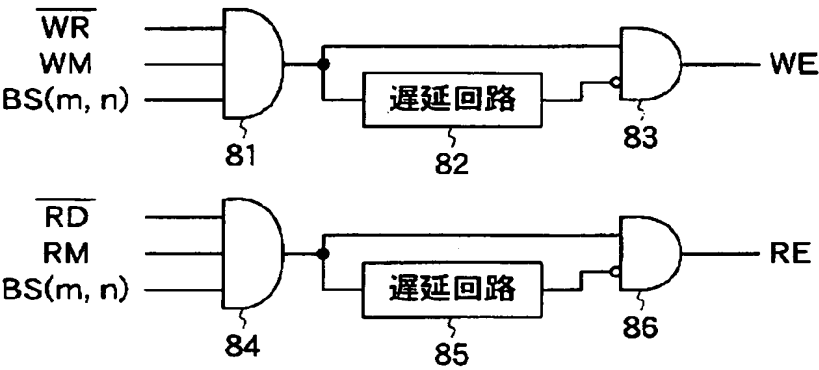


【図 15】

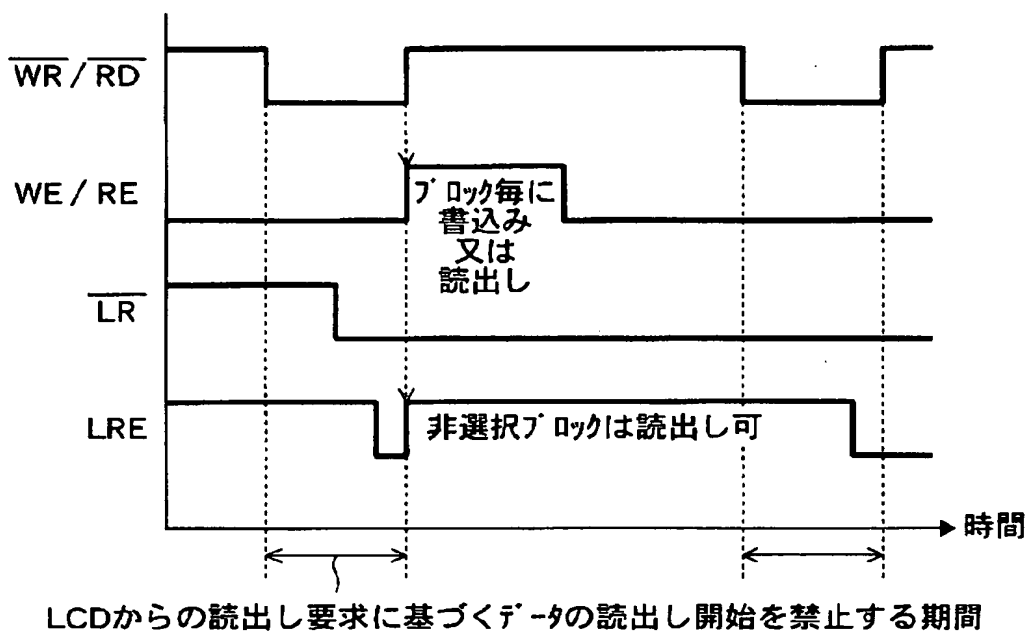
メモリアルレイ

ブロック (1,1)	ブロック (1,2)	...	ブロック (1,N)
ブロック (2,1)		...	
⋮	⋮	⋱	⋮
ブロック (M,1)		...	ブロック (M,N)

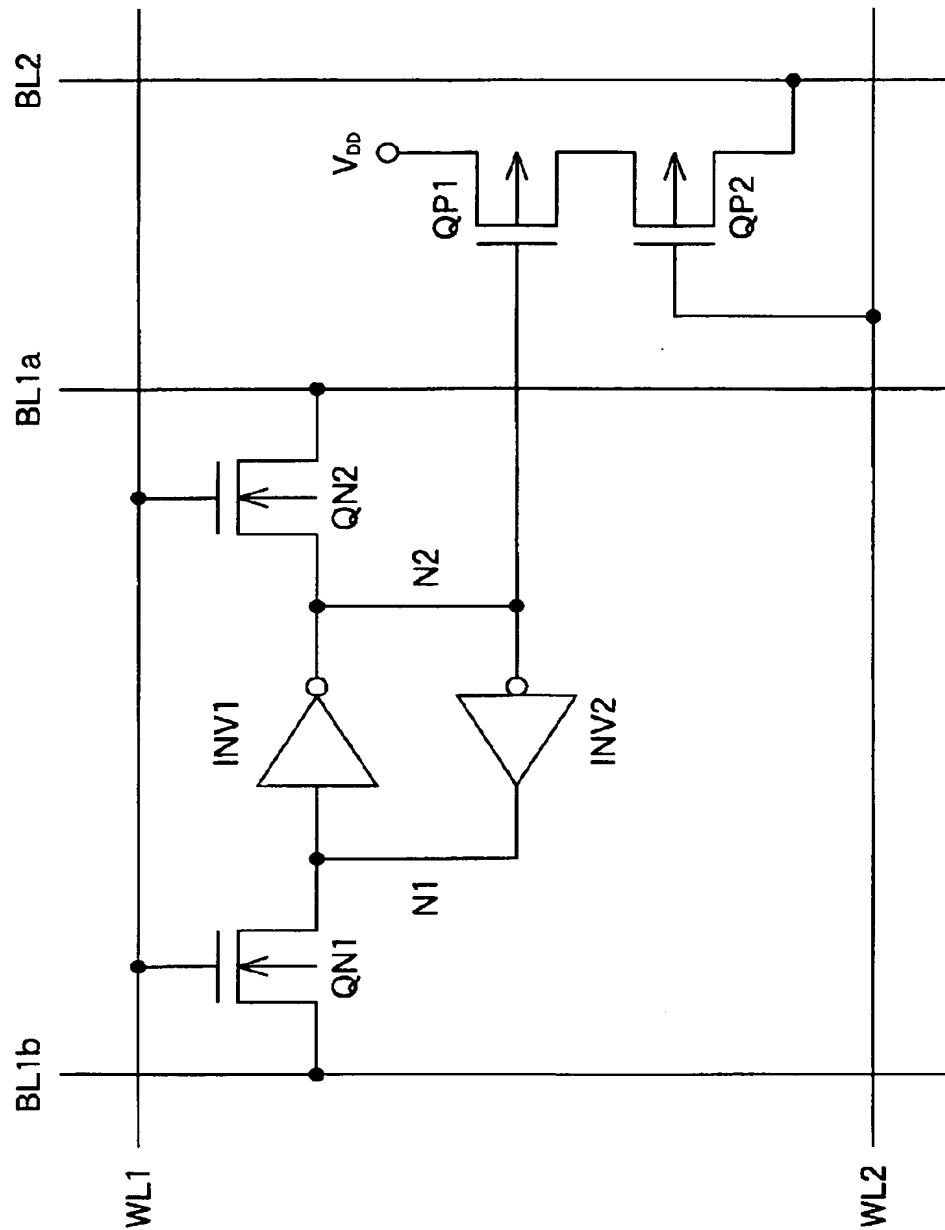
【図 16】



【図 17】



【図 18】



【書類名】 要約書**【要約】**

【課題】 1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる半導体集積回路を提供する。

【解決手段】 この半導体集積回路は、1組のビットラインとの間でデータの入出力を行うポートを有するメモリセルと、1組のビットラインを介してポートに接続された書込み／読出し回路と、1組のビットラインを介してポートに接続された読出し回路と、CPUからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが第1の期間において行われるように書込み／読出し回路を制御するCPU系制御回路24と、表示パネルに供給すべきデータの読出しが第1の期間と重複しない第2の期間において行われるように読出し回路を制御する表示系制御回路26とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-189485
受付番号	50301097741
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 7月 4日

<認定情報・付加情報>

【提出日】	平成15年 7月 1日
【特許出願人】	
【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100110858
【住所又は居所】	東京都新宿区高田馬場1-20-10-203 ストークプラザ諏訪台 進歩国際特許事務所
【氏名又は名称】	柳瀬 陸肇
【選任した代理人】	
【識別番号】	100107526
【住所又は居所】	東京都新宿区高田馬場1-20-10-203 ストークプラザ諏訪台 進歩国際特許事務所
【氏名又は名称】	鈴木 直郁
【選任した代理人】	
【識別番号】	100110777
【住所又は居所】	東京都新宿区高田馬場1-20-10-203 ストークプラザ諏訪台
【氏名又は名称】	宇都宮 正明
【選任した代理人】	
【識別番号】	100100413
【住所又は居所】	東京都新宿区高田馬場1-20-10-203 ストークプラザ諏訪台 進歩国際特許事務所
【氏名又は名称】	渡部 温

特願 2 0 0 3 - 1 8 9 4 8 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社